

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-292417

(43)Date of publication of application : 05.11.1996

(51)Int.Cl.

G02F 1/133

(21)Application number : 07-120538

(71)Applicant : SONY CORP

(22)Date of filing : 20.04.1995

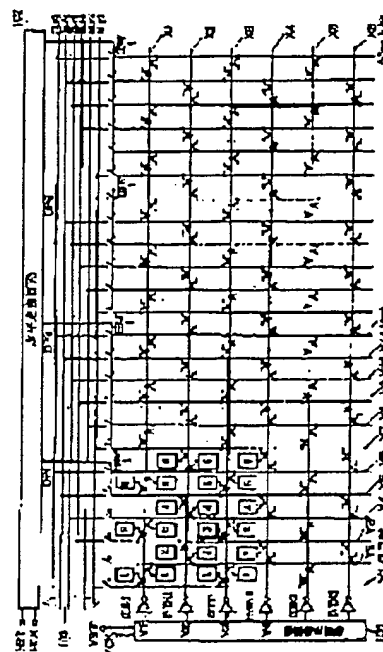
(72)Inventor : UCHINO KATSUhide

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To lower the system clock frequency of a multiple pixel concurrent sampling system.

CONSTITUTION: The display device is equipped with pixels 1, 2, 3... which are arranged in a matrix, gate lines X(X1, X2...) along the row directions of the pixels, and signal lines Y(Y1, Y2...) along the column direction of the pixels. A vertical scanning circuit 101 is connected to the respective gate lines X and a horizontal scanning circuit 102 is connected to the respective signal lines Y through horizontal switches HSW. The respective gate lines X are connected to pixels of one row selected half and half out of pixels of two adjacent rows (ODD and EVEN) in common. Each signal line is connected to respective selected pixels included in one row.



LEGAL STATUS

[Date of request for examination] 31.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3230408

[Date of registration] 14.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-292417

(43) 公開日 平成8年(1996)11月5日

| | | | | |
|-------------------------|-------|--------|---------------|--------|
| (51) IntCl ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 2 F 1/133 | 5 5 0 | | G 0 2 F 1/133 | 5 5 0 |

審査請求 未請求 請求項の数 7 F D (全 12 頁)

(21) 出願番号 特願平7-120538

(22) 出願日 平成7年(1995)4月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

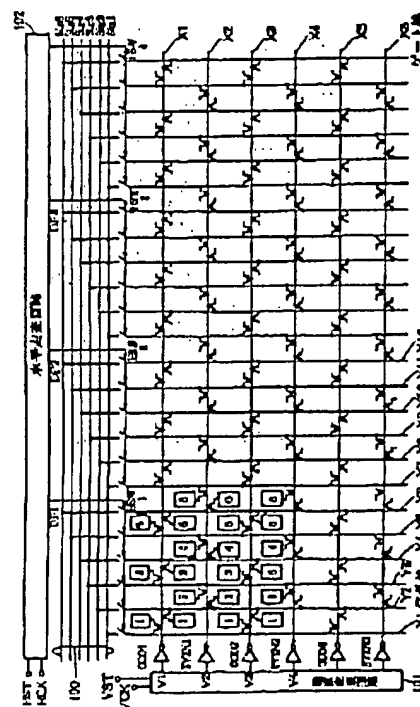
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【目的】 複数画素同時サンプリング方式においてシステムクロック周波数を低減化する。

【構成】 表示装置は行列配置した画素1, 2, 3, ...と、画素の行方向に沿ったゲート線X1, X2, ...と、画素の列方向に沿った信号線Y1, Y2, ...とを備えている。垂直走査回路101が各ゲート線Xに接続し、水平走査回路102が水平スイッチHSWを介して各信号線Yに接続している。各ゲート線Xは互いに隣り合う2行分(ODD, EVEN)の画素から半分ずつ選択された1行分の画素に共通接続されている。各信号線Yは選択された1行分に含まれる画素の夫々に対応して接続されている。



【特許請求の範囲】

【請求項1】 行列配置した画素と、画素の行方向に沿ったゲート線と、画素の列方向に沿った信号線と、各ゲート線に接続した垂直走査回路と、各信号線に接続した水平走査回路とを備えた表示装置であって、各ゲート線は互いに隣り合う2行分の画素から半分ずつ選択された1行分の画素に共通接続されており、各信号線は該1行分に含まれる画素の夫々に対応して接続されており、

前記垂直走査回路は順次各ゲート線を走査して2行同時に1行分の画素を選択し、

前記水平走査回路は所定本数の信号線を一組として順次走査し複数の映像信号を一組の信号線に同時サンプリングし、該選択された1行分に属する複数の画素に対し同時に映像信号を書き込む事の特徴とする表示装置。

【請求項2】 互いに隣り合う一対のゲート線は、共通する2行分の画素から1列毎交互に選ばれた1行分の画素に各々接続している事の特徴とする請求項1記載の表示装置。

【請求項3】 1本のゲート線は、上下に分かれた2行分の画素から1列おきに選ばれた1行分の画素に接続している事の特徴とする請求項1記載の表示装置。

【請求項4】 前記水平走査回路は、6本の信号線を一組として順次走査する事により2行3列に配された6個の画素に対し同時に映像信号を書き込む事の特徴とする請求項2記載の表示装置。

【請求項5】 前記水平走査回路は、6本の信号線を一組として順次走査する事により2行3列に配された6個の画素に対し同時に映像信号を書き込む事の特徴とする請求項3記載の表示装置。

【請求項6】 前記水平走査回路は、1本おきに反対極性の映像信号を各信号線にサンプリングする事の特徴とする請求項1記載の表示装置。

【請求項7】 インターレース方式の原映像信号を予め処理して、各画素の書き込み順次に適合した映像信号に変換して該水平走査回路に供給する外部手段を含む事の特徴とする請求項1記載の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型の液晶表示パネル等によって代表される表示装置に関する。詳しくは、複数画素同時サンプリング方式を採用した表示装置に関する。さらに詳しくは、フルライン構成を有する表示装置に対してインターレース方式の映像信号を複数画素同時サンプリングにより書き込む技術に関する。

【0002】

【従来の技術】 図11を参照して従来の表示装置を簡潔に説明する。図示する様に、表示装置は行状のゲート線 $X_1, X_2, X_3, X_4, \dots$ と、列状の信号線 Y_0, Y

$1, Y_2, Y_3, Y_4, \dots$ とを備えており、両者の交差部に画素 $0, 1, 2, 3, 4, \dots$ が設けられている。各画素は対応する薄膜トランジスタによりスイッチング駆動される。薄膜トランジスタのゲート電極は対応するゲート線 X に接続され、ソース電極は対応する信号線 Y に接続され、ドレイン電極は対応する画素に接続されている。なお、説明の都合上画素の奇数行は上から順に $ODD1, ODD2, \dots$ の様に符号が付され、偶数行は上から順に $EVEN1, EVEN2, \dots$ の様に符号が付されている。この表示装置は6本のビデオライン100を備えており、外部のデコーダ/ドライバから供給される合計6個の映像信号 $sig1, sig2, \dots, sig6$ を夫々受け入れる。個々の信号線 Y は6本を1単位（例えば、 $Y1 \sim Y6$ ）として水平スイッチ HSW を介して所定のビデオライン100に接続されている。以上の構成に加え、表示装置は垂直走査回路101と水平走査回路102を内蔵している。垂直走査回路101は外部のタイミングジェネレータから供給される垂直クロック信号 VCK 等に応答して動作し、ゲート線 X を1本ずつ順次走査して画素を行毎に選択する。一方、水平走査回路102は同じくタイミングジェネレータから供給される水平クロック信号 HCK 等に応答して動作し、順次駆動パルス $DP0, DP1, DP2, DP3, \dots$ を出力し対応する水平スイッチ $HSW0, HSW1, HSW2, HSW3, \dots$ を開閉制御して、6本の信号線 Y を1単位としてまとめ駆動する。即ち、6系統の映像信号 $sig1, \dots, sig6$ を夫々対応する信号線 Y （例えば、 $Y1 \sim Y6$ ）に一斉サンプリングする。

【0003】かかる複数画素同時サンプリング駆動を行なう際、6系統の映像信号 $sig1 \sim sig6$ に予め画素ピッチに対応する遅延量を相対的に与える為、サンプルホールド回路がデコーダ/ドライバに設けられている。6系統の映像信号を逐次サンプルホールドして画素ピッチに対応する遅延量を相対的に与えると共に、水平スイッチ HSW を6本の信号線の組を単位として同時に開閉制御する事により、この水平スイッチを駆動する水平走査回路に含まれるシフトレジスタの段数を削減して構成を簡単にすると共に消費電力も削減して、良好な画像表示が得られる様にしている。各水平スイッチ HSW はシフトレジスタから出力される駆動パルス DP で開閉制御される構成になっているので、水平走査回路のシフトレジスタの段数は $1/6$ になる。又、タイミングジェネレータから供給される水平クロック信号 HCK の周波数も $1/6$ になる。

【0004】

【発明が解決しようとする課題】 図12の(A)に示す様に、図11で説明した表示装置を $HD-TV$ に応用した場合、画面は例えば $1024行 \times 1280列$ の画素から構成される所謂フルライン構成になっている。この $HD-TV$ を駆動する場合、通常インターレース方式が採

用されており、先ず映像信号を画素の奇数行ODD1～ODD512に書き込んだ後、次に画素の偶数行EVEN1～EVEN512に書き込む。

【0005】即ち(B)に示す様に、前半の1フィールド(ODD)で奇数行ODD1, ODD2, ..., ODD511, ODD512を書き込んだ後、後半の1フィールド(EVEN)で偶数行EVEN1, EVEN2, ..., EVEN511, EVEN512を書き込む。これら2個のフィールドより1フレームが構成される。しかしながら、HDTVの様に超高精細な表示装置では、画素の信号保持特性や動画を表示した場合の残像現象等の観点から、このインターレース方式でフルラインを表示駆動する事は画質上困難である。

【0006】そこで、従来から(C)に示す様に、フィールドメモリを使用し倍速駆動する事で、1フィールド内で1024行のフルラインを表示している。これにより、1024本分の垂直解像度が確保できる。図示する様にフィールドメモリ内には、1フィールドに渡って奇数行(ODD1～ODD512)と偶数行(EVEN1～EVEN512)のデータが交互に配列しており、これを倍速で読み出す様にしている。

【0007】(D)はフィールドメモリ内に格納されたODD1及びEVEN1のデータを1部取り出して模式的に示したものである。ODD1については1280個分の水平画素に対応して、画素データ1～1280が書き込まれている。同様に、EVEN1についても画素データ1～1280が書き込まれている。ODD1に含まれる最初の6個の画素1～6はフィールドメモリから読み出された後駆動パルスDP1に応じて同時に対応する6個の画素1～6に書き込まれる。次の画素データ7～12はDP2にตอบสนองして対応する画素に書き込まれる。この様にして、元の1水平期間(H)より半分だけ短い水平期間H/2の間にODD1の画素データが書き込まれる。この時、垂直走査回路101は対応するゲート線に対して1発目の選択パルスV1を出力する。同様に、次のH/2でEVEN1の画素データ1～1280が書き込まれる。この時、対応する2番目のゲート線には選択パルスV2が供給される。これにより、1Hの期間でODD1とEVEN1を書き込む事ができ、所謂倍速駆動になっている。

【0008】ここで、前述した6画素同時サンプリング駆動を行なった場合のサンプルホールドタイミングを図13に示す。6系統の映像信号に画素の配列ピッチに応じた相対的な遅延量を付与する為、デコーダ/ドライバ内でサンプルホールド処理が行なわれる。これに用いるサンプルホールドパルスSHPは、水平方向の解像度を確保する為、6画素同時サンプリングの場合、水平クロック信号HCKの半周期内に6個のパルスが必要である。なお、最後の6発目のパルスの立ち下がりで6系統の映像信号の一括サンプリングが行なわれ、表示装置

に供給される。前述した様に、表示装置は駆動パルスDP1, DP2, ...に応じて6系統の映像信号を一括して6本の信号線に分配する。この6画素同時サンプリングに加え従来倍速駆動を採用している為、サンプルホールドパルスSHPのパルス幅は通常のインターレース駆動時の1/2となってしまう。この為、サンプルホールドパルスSHPをデコーダ/ドライバに供給するタイミングジェネレータは、そのマスタークロックの周波数が2倍になり、100MHz以上に及ぶ。以上説明した様に、アクティブマトリクス型表示装置のフルライン表示方法として、垂直解像度を完全にとる為従来からフィールドメモリを用いた倍速駆動方式が採用されている。しかしながら、HDTV等駆動周波数の高い表示装置については、100MHz以上のマスタークロックを備えるタイミングジェネレータを使用しなければならず、現在プロセス上及びコスト上この方式は困難となっている。実際には商品化する事自体が不可能であるといわれている。

【0009】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明はアクティブマトリクス型表示装置のフルラインを駆動する方式として、タイミングジェネレータのマスタークロックをハーフライン表示時と同一周波数で実現する事を目的とする。かかる目的を達成する為以下の手段を講じた。即ち本発明にかかる表示装置は基本的な構成として、行列配置した画素と、画素の行方向に沿ったゲート線と、画素の列方向に沿った信号線と、各ゲート線に接続した垂直走査回路と、各信号線に接続した水平走査回路とを備えている。特徴事項として、各ゲート線は互いに隣り合う2行分の画素から半分ずつ選択された1行分の画素に共通接続されている。又、各信号線は該1行分に含まれる画素の夫々に対応して接続されている。前記垂直走査回路は順次各ゲート線を走査して2行同時に1行分の画素を選択する。前記水平走査回路は所定本数の信号線を一組として順次走査し、該選択された1行分に属する複数個の画素に対し同時に映像信号を書き込む。

【0010】具体的には、互いに隣り合う一対のゲート線は共通する2行分の画素から1列毎交互に選ばれた1行分の画素に各々接続している。あるいは、1本のゲート線は上下に分かれた2行分の画素から1列おきに選ばれた1行分の画素に接続する様にしても良い。これらの場合、前記水平走査回路は6本の信号線を一組として順次走査する事により、2行3列に配された6個の画素に対し同時に6系統の映像信号を書き込む。この時、前記水平走査回路は1本おきに反対極性の映像信号を各信号線にサンプリングする。以上の駆動方式を実現する為、インターレース方式の原映像信号を予め処理して、各画素の書き込み順次に適合した映像信号に変換して該水平走査回路に供給する外部手段(デコーダ/ドライバ)を

偏えている。

【0011】

【作用】本発明によれば、例えば1280列×1024行の画素を備えたアクティブマトリクス型の表示装置をフルライン表示できる。各512本の奇数行及び偶数行にかかるインターレース映像信号のデータを合計で1024行分予めメモリに記憶する。各行には1280個分の画素データが含まれる。一方、表示パネル側では例えば6画素同時サンプリング駆動する為、3列×2行を単位としてサンプリングする。これに合う様に、メモリに格納されていた画素データを並べ換えて表示パネルに入力する。3列×2行を単位とした6画素同時サンプリングにより、デコーダ/ドライバ側におけるサンプルホールドパルス幅は通常の倍速駆動における6画素同時サンプリング(6列×1行)の2倍になる。これでも水平解像度は落ちず、さらにタイミングジェネレータのマスタークロック周波数も通常の倍速駆動に比べ1/2で済む。なお、表示パネルに入力される映像信号については1H反転を採用できる。例えば、6系統の入力映像信号を3本ずつ二組に分け、各組では信号を同極性に保持する。さらに、2つに分かれた組間では、互いに逆極性で互い違いに入力する様に制御する。あるいは、これに代えて1F(1フィールド)反転を採用する事ができる。以上の様に、横3画素×縦2画素=6ドットという形でサンプリングする為、サンプリングホールドパルスの周波数は通常の倍速駆動時の1/2で良く、且つ垂直解像度がフルにとれる。換言すると、本発明は倍速スキャン方式ではあるが、フルラインを表示する際タイミングジェネレータのマスタークロックをハーフライン表示時と同じ周波数で実現可能である。

【0012】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示装置の第1実施例を示す模式的な回路図である。本表示装置はアクティブマトリクス型の液晶表示パネルからなり、画面部に加えて周辺回路部も内蔵している。図示する様に、本表示パネルは行列配置した画素(図では、行方向に沿って順に1, 2, 3, 4, 5, 6, ...の様に番号が付されている。)を有している。又、画素の行方向に沿ったゲート線X1, X2, X3, X4, X5, X6, ...と、画素の列方向に沿った信号線Y1, Y2, Y3, Y4, Y5, Y6, ...とを備えている。さらに、各ゲート線Xに接続した垂直走査回路101と、各信号線Yに接続した水平走査回路102とを内蔵している。各ゲート線Xは互いに隣り合う2行分の画素から半分ずつ選択された1行分の画素に共通接続されている。具体的には、1本のゲート線Xは、上下に分かれた2行分の画素から1列おきに選ばれた1行分の画素に接続している。例えば、ゲート線X1は上下に分かれた2行分(ODD1, EVEN1)の画素から、1列おきに選ばれた1行分の画素

1, 1, 3, 3, 5, 5, ...に接続している。同様にゲート線X2は上下に分かれた2行分(EVEN1, ODD2)の画素から1列おきに選ばれた1行分の画素2, 2, 4, 4, 6, 6, ...に接続している。垂直走査回路101は外部のタイミングジェネレータから供給される垂直クロック信号VCKに応じて同じくタイミングジェネレータから供給される垂直スタート信号VSTを順次転送し、選択パルスV1, V2, V3, V4, ...を出力する。この選択パルスVにより各ゲート線Xが線順次で走査され、2行同時に1行分の画素が選択される。例えば、ゲート線X1が選択された時第1の奇数行ODD1に含まれる奇数番目の画素1, 3, 5, ...と第1の偶数行EVEN1に含まれる奇数番目の画素1, 3, 5, ...が同時に選択される。1本のゲート線Xにより2行分(ODD, EVEN)が走査されるが、実際には各ゲート線Xに1行分しか画素が接続されていない為、1行分の画素が選択される。これに対し、各信号線Yは該選択された1行分に含まれる画素の夫々に対応して接続されている。例えばY1にはODD1の画素1が接続され、Y2にはEVEN1の画素1が接続され、Y3にはODD1の画素3が接続され、Y4にはEVEN1の画素3が接続され、Y5にはODD1の画素5が接続され、Y6にはEVEN1の画素5が接続されている。次に選択される1行分の画素についても同様であり、Y2にはODD2の画素2が接続され、Y3にはEVEN1の画素2が接続され、Y4にはODD2の画素4が接続され、Y5にはEVEN1の画素4が接続され、Y6にはODD2の画素6が接続され、Y7にはEVEN1の画素6が接続されている。水平走査回路102は所定本数(本例では6本)の信号線Yを一組として順次走査し、6系統の映像信号sig1~sig6を一組の信号線Yに同時サンプリングし、選択された1行分に属する複数個の画素に対し同時に映像信号を書き込む。具体的には、本表示パネルは6本のビデオライン100を備えており、外部のデコーダ/ドライバから供給される6系統の映像信号sig1~sig6を夫々受け入れる。個々の信号線Yは6本を1単位として水平スイッチHSWを介して所定のビデオラインに接続されている。例えば信号線Y1~Y6は水平スイッチHSW1を介して6本のビデオライン100の各々に接続されている。水平走査回路102はタイミングジェネレータから供給される水平クロック信号HCKに応じて動作し同じくタイミングジェネレータから供給される水平スタート信号HSTを順次転送して駆動パルスDP1, DP2, DP3, ...を出力する。この駆動パルスDPに応じて各水平スイッチHSWが開閉動作し、6本の信号線Yを1単位としてまとめ駆動する。即ち、映像信号sig1~sig6を夫々対応する信号線Y1~Y6に一斉にサンプリングする。

【0013】以上の構成により、水平走査回路102は6本の信号線Yを一組として順次走査する事により、2

行3列に配された6個の画素に対し同時に6系統の映像信号sig1~sig6を書き込む事ができる。例えば、垂直走査回路101側で第1の選択パルスV1が出力されると、ODD1に属する画素1, 3, 5, ...とEVEN1に属する画素1, 3, 5, ...が夫々スイッチング用の導膜トランジスタを介して選択される。一方、水平方向については水平走査回路102が先ず第1の駆動パルスDP1を出力し、HSW1が導通状態になる為、ODD1の画素1, 3, 5とEVEN1の画素1, 3, 5に6系統の映像信号sig1, sig6が一斉に書き込まれる。例えば、ODD1の画素1にはsig1が書き込まれ、EVEN1の画素1にはsig2が書き込まれ、ODD1の画素3にはsig3が書き込まれ、EVEN1の画素3にはsig4が書き込まれ、ODD1の画素5にはsig5が書き込まれ、EVEN1の画素5にはsig6が書き込まれる。次に、垂直走査回路101から2番目の選択パルスV2が出力すると、EVEN1の画素2, 4, 6, ...とODD2の画素2, 4, 6, ...が選択される。この時、水平走査回路102側から1発目の駆動パルスDP1が出力されると、HSW1が導通状態となり、EVEN1の画素0, 2, 4とODD2の画素2, 4, 6に対して6個同時に映像信号が書き込まれる。DP1に応じてHSW1が開閉動作した後、次にDP2が出力され対応するHSW2が開閉動作する。以上の様にして、垂直走査回路101は1024本のゲート線Xに対応して1024個の選択パルスV1~V1024を出力する一方、水平走査回路102は1280本の信号線Y÷6=213個分のHSW1~HSW213を順次開閉動作する。以上により、1024行×1280列分の画素の全てに6系統の映像信号sig1~sig6が書き込まれる。

【0014】図2は、本発明にかかる表示装置の全体構成を示すブロック図である。本表示装置はデコーダ/ドライバ201と、アクティブマトリクス型の表示パネル202と、タイミングジェネレータ203とを備えている。デコーダ/ドライバ201は外部入力されるビデオ信号VIDEOをデコード処理し6系統の映像信号sig1~sig6を作成すると共に、同期信号SYNCを分離する。さらにデコーダ/ドライバ201は1Hで映像信号sigの極性反転処理を行ない、交流化映像信号を出力する。表示パネル202は図1に示した様な構成を有しており、行状のゲート線、列状の信号線、及び両者の交差部に設けた液晶画素を備えている。又、垂直走査回路及び水平走査回路を内蔵している。垂直走査回路はゲート線を順次走査して画素を選択する。水平走査回路は1H毎に交流化映像信号を信号線に順次サンプリングし、選択された画素に交流化映像信号を書き込む。タイミングジェネレータ203は同期信号SYNCに応じて動作し、デコーダ/ドライバ201に対し交流化信号FRPを供給して極性反転処理のタイミング制御を行な

う。又、デコーダ/ドライバ201に対しサンプルホールド信号SHPを供給し、映像信号の遅延処理を制御している。即ち、デコーダ/ドライバ201は画素の配列ピッチに応じ6系統の映像信号sig1~sig6を相対的に遅延処理して液晶表示パネル202に供給している。さらに、インターレース方式の原映像信号（ビデオ信号）VIDEOを予め処理して、各画素の書き込み順次に適合した6系統の映像信号sig1~sig6に変換して表示パネル202に供給している。タイミングジェネレータ203はさらに、HST, HCK, VST, VCK等を表示パネル202に供給し、垂直走査回路及び水平走査回路の動作制御を行なう。

【0015】以上説明した様に、本実施例では、横3×縦2の画素を1単位として、6ドット同時サンプリング駆動を行なっている。これに合わせて、デコーダ/ドライバはインターレース方式の原映像信号を一旦メモリに書き込んだ後、読み出しを制御して画素データの配列を並べ換えた上で、表示パネルに供給している。この点につき、図3ないし図5を参照して説明を加える。先ず、図3の(A)に示す様に、表示パネル202は1024行×1280列分の画素を備えており、奇数行ODD1~ODD512と偶数行EVEN1~EVEN512が交互に配列している。(B)に示す様に第1フィールド(ODD)分のODD1~ODD512に含まれるデータと、第2フィールド(EVEN)分のEVEN1~EVEN512に含まれるデータを、1フレーム分としてメモリに格納する。(C)はODD1分の画素データとEVEN1分の画素データを拡大して示したものである。ODD1には画素データ1~1280が含まれ、EVEN1にも画素データ1~1280が含まれる。ODD1, EVEN1は夫々1H分に相当する。

【0016】次に、図4に示す様にODD1に含まれる画素データを奇数画素分と偶数画素分に予め分けておく。以下同様に、EVEN1, ODD2, EVEN2, ...についても各々画素データを奇数分と偶数分に分割しておく。

【0017】さらに、図4に示した状態でメモリされていた画素データを逐次読み出して図5に示すタイミングに並べ換え、これを6系統の映像信号として表示パネルへ順次供給する。これにより、横3画素×縦2画素=6ドットの配列に対して空間的及び時間的に適合した映像信号が供給できる。図5に示す様に、最初の選択パルスV1が出力される期間では、ODD1とEVEN1の奇数画素分データがメモリから読み出され、表示パネルに供給される。表示パネル側では最初の駆動パルスDP1が出力されると、ODD1の画素データ1, 3, 5とEVEN1の画素データ1, 3, 5が6ドット同時に書き込まれる。次のDP2が出力されると、ODD1の画素データ7, 9, 11とEVEN1の画素データ7, 9, 11が書き込まれる。この様にして最終の画素データ1

279が書き込まれた後、次の選択パルスV2が出力されるタイミングで、EVEN1の偶数画素データとODD2の偶数画素データが表示パネル側に転送される。DP1が出力されるとEVEN1の偶数画素データ0, 2, 4とODD2の偶数画素データ2, 4, 6が6ドット同時に書き込まれる。以下同様にして、1024行の画素に映像信号のデータが書き込まれる。

【0018】図6はデコーダ/ドライバ内で行なわれるサンプルホールド処理を示すタイミングチャートである。前述した様に、6画素同時サンプリングを行なう場合には、1280列×1024行分の画素データを6系統の映像信号に分配して表示パネルに供給する。この時、各画素の配列ピッチに応じて6系統の映像信号sig1～sig6の間に相対的な遅延を与える為、サンプルホールドパルスSHPにより、メモリから読み出された画素データのサンプルホールドが行なわれる。図示する様に、V1が出力され且つDP1が出力されるタイミングでは、ODD1の画素データ1, 3, 5とEVEN1の画素データ1, 3, 5が6系統に分かれてサンプルホールドされ、矢印で示すリサンプルタイミングで同時に表示パネル側に供給される。次に、V1が出力され且つDP2が出力されるタイミングで、ODD1の画素データ7, 9, 11とEVEN1の画素データ7, 9, 11がサンプリングされ表示パネル側に供給される。さらに、V2が出力され且つDP1が出力されるタイミングになると、EVEN1の画素データ0, 2, 4とODD2の画素データ2, 4, 6がサンプルホールドされ、6系統の映像信号sig1～sig6として表示パネル側に供給される。図6に示したサンプルホールドパルスSHPの幅は、図13に示したサンプルホールドパルスSHPに比べると、2倍確保する事ができる。この為、タイミングジェネレータのマスタクロックの周波数は図12に示した倍速駆動に比べると半分で済む。即ち、50MHz程度に抑える事ができ、容易に実現可能な周波数レベルである。なお本実施例では、sig1, sig3, sig5は互いに同極性に制御され、sig2, sig4, sig6も同極性に制御されている。さらに、1H反転を行ない、sig1, sig3, sig5の組とsig2, sig4, sig6の組とは互いに逆極性である。そして、両組は互い違いで表示パネルに入力される。これにより、画素自体は1フィールド反転で、パネルの駆動方式は1H反転になる。信号線は奇数番目と偶数番目で互いに逆極性である為、ゲートライン等の揺れが重畳されて起きるシェーディングがなくなる。

【0019】図7は、本発明にかかる表示装置の第2実施例を示す模式的な回路図である。基本的な構成は図1に示した第1実施例と同一であり、対応する部分には対応する参照番号を付して理解を容易にしている。本実施例ではゲート線Xを信号線Y毎に90°折り曲げる事により、表示パネルに入力される6系統の映像信号sig

1～sig6を1F反転する方式である。この構造では、互いに隣り合う一対のゲート線は共通する2行分の画素から1列毎交互に選ばれた1行分の画素に各々接続している。例えば、互いに隣り合う一対のゲート線X1, X2は共通する2行分(ODD1, EVEN1)の画素に接続されている。一方のゲート線X1はODD1及びEVEN1から選択された奇数列目の画素1, 1, 3, 3, 5, 5, …からなる1行分の画素に接続されている。他方のゲート線X2はODD1及びEVEN1から選択された偶数列目の画素2, 2, 4, 4, 6, 6, …からなる1行分に接続している。垂直走査回路側の選択パルスV1がオンするとODD1の画素1, 3, 5, …, 1279とEVEN1の画素1, 3, 5, …, 129が選択される。水平走査回路102は順次DPO, DP1, DP2, DP3, …を出力し、6画素単位で各画素に映像信号sig1～sig6を書き込む。例えば最初の駆動パルスDP1が出力するとHSW1が開閉動作し、ODD1の画素1, 3, 5とEVEN1の画素1, 3, 5に6系統の映像信号が書き込まれる。具体的には、ODD1の画素1にsig1が書き込まれ、EVEN1の画素1にsig2が書き込まれ、ODD1の画素3にsig3が書き込まれ、EVEN1の画素3にsig4が書き込まれ、ODD1の画素5にsig5が書き込まれ、EVEN1の画素5にsig6が書き込まれる。この後垂直走査回路側から選択パルスV2が出力されると、ODD1の画素2, 4, 6, …, 1280とEVEN1の画素2, 4, 6, …, 1280が選択される。この時水平走査回路102は最初に駆動パルスDP1を出力しHSW1を開閉動作させる。これにより、ODD1の画素0, 2, 4とEVEN1の画素2, 4, 6に6系統の映像信号sig1～sig6が一斉に書き込まれる。具体的には、ODD1の画素0にsig1が書き込まれ、EVEN1の画素2にsig2が書き込まれ、ODD1の画素2にsig3が書き込まれ、EVEN1の画素4にsig4が書き込まれ、ODD1の画素4にsig5が書き込まれ、EVEN1の画素6にsig6が書き込まれる。以上の様にして、横3画素×縦2画素の6ドットを順に同時サンプリングしていく。これを繰り返して行なう事により、1280列×1024行に渡って全画素に映像信号が書き込まれる。

【0020】横3画素×縦2画素を単位とするサンプリングに適合する様に、画素データを予め配列して表示パネルに供給する。この点につき、図8及び図9を参照して説明する。図8の(A)に示す様に、表示パネルは1024行×1280列の画素を含んでおり、512本の奇数行ODD1～ODD512と同じく512本の偶数行EVEN1～EVEN512を備えている。(B)に示す様にODD1～ODD512に含まれるデータが1フィールド分(ODD)としてメモリに格納され、EVEN1～EVEN512に含まれるデータが他の1フィ

ールド分 (EVEN) としてメモリに格納される。両フィールド分により1フレームが構成される。(C)はODD1に含まれる画素データ1~1280を拡大して模式的に示したものである。又、EVEN1に含まれる画素データ1~1280も示されている。画素データ1~1280が1H分に相当する。

【0021】上述したフォーマットでメモリに格納された画素データは、図9に示す様な規則に従って再配列され表示パネルに供給される。先ず(A)に示す様に、ODD1に含まれる画素データを奇数画素分と偶数画素分に予め分割しておく。同様に、EVEN1に含まれる画素データについても奇数画素分と偶数画素分で分けておく。ODD2, ODD3, …及びEVEN2, EVEN3, …についても同様である。次に(B)に示す様に、ODD1に含まれる奇数画素データ1, 3, 5とEVEN1に含まれる奇数画素データ1, 3, 5を1単位として(A)に示すメモリから読み出し、所定のサンプルホールド処理を行なった後、表示パネルに供給する。表示パネル側では駆動パルスDP1に反応して、ODD1の奇数画素データ1, 3, 5とEVEN1の奇数画素データ1, 3, 5が横3画素×縦2画素の計6ドットに一齐に書き込まれる。次のタイミングではODD1に含まれる奇数画素データ7, 9, 11とEVEN1に含まれる奇数画素データ7, 9, 11が読み出され、表示パネル側に供給される。以下同様にしてODD1及びEVEN1について各々画素データ1279までが読み出される。この期間はH/2に相当し、選択パルスV1がオンしている時間と等しい。次のH/2の期間ではODD1の偶数画素データ2, 4, 6, 8, …, 1280とEVEN1の偶数画素データ2, 4, 6, 8, …, 1280が6ドット単位で読み出され、表示パネル側に供給される。

【0022】図10は、デコーダ/ドライバ内で行なわれるサンプルホールド処理を示すタイミングチャートである。V1がオンし且つDP1がオンするタイミングでは、6個のサンプルホールド信号SHPに応じて、ODD1の画素データ1, 3, 5とEVEN1の画素データ1, 3, 5がサンプルホールドされる。6個の画素データは矢印で示す様に一齐にサンプリングされた後、夫々6系統の映像信号sig1~sig6として表示パネル側に供給される。又、V1がオン状態でDP2がオンするタイミングでは、ODD1の画素データ7, 9, 11とEVEN1の画素データ7, 9, 11がサンプルホールドされ且つ一齐にリサンプリングされて表示パネルに供給される。次に、V2がオン状態でDP1がオンになるタイミングでは、ODD1の画素データ0, 2, 4とEVEN1の画素データ2, 4, 6がサンプルホールドされ且つ一齐にリサンプリングされて表示パネル側に6系統の映像信号sig1~sig6として供給される。ここで、図10に示したサンプルホールドパルスSHP

の幅は通常の倍速駆動6画素同時サンプリング(横6×縦1)に比べ2倍に確保できるにも関わらず、水平解像度は落ちない。これにより、タイミングジェネレータのマスタークロック周波数も通常の倍速駆動に比べ半分で済む。なお、図10及び図7に示す6系統の映像信号に関し、sig1, sig3, sig5の組は同極性であり、sig2, sig4, sig6の組も同極性である。但し両組の間では映像信号は逆極性になっている。本例では、1F反転を採用しており、1フィールド期間中各映像信号の極性は固定されている。この様にすると、画素自体は1F反転となる一方、パネル駆動方式は1H反転になる。これにより、デコーダ/ドライバの消費電力が下がる。又、信号線に対する映像信号のサンプリングによる充放電が1フィールドにつき1回しか行なわない為、従来問題となっていた縦筋等の画像欠陥が改善できる。さらに、パネル全体から見ると信号線の奇数列と偶数列が常に逆極性で入力される為、ゲート線等の電位揺れが重畳されずこれによるシェーディングがなくなる。

【0023】

【発明の効果】以上説明した様に、本発明によれば、例えば横3画素×縦2画素という形で6ドット同時サンプリング方式を実現している。これにより、タイミングジェネレータのマスタークロックの周波数が通常の倍速駆動時に比べ半分で済む、垂直解像度が十分に確保できるにも関わらず、タイミングジェネレータの消費電力が半分で済む。又、現状のタイミングジェネレータの動作タイミングを変更するだけで、例えばHDTV対応の表示パネルに対してフルライン表示が可能になる。信号線の奇数列と偶数列とで互いに逆極性の映像信号を供給する為、点順次駆動におけるゲート線の電位揺れ等に起因するシェーディングが顕著に抑制できる。加えて、本発明によれば1F反転駆動が採用できる為、ビデオドライバの消費電力を抑制できる。さらに、各信号線に供給される映像信号は1F反転の為、信号線自体の充放電が少なく、従来問題となっていた縦筋の画像不良が改善できる。

【図面の簡単な説明】

【図1】本発明にかかる表示装置の第1実施例を示す回路図である。

【図2】本発明にかかる表示装置の全体構成を示すブロック図である。

【図3】図1に示した表示装置の動作説明に供する模式図である。

【図4】同じく動作説明に供する模式図である。

【図5】同じく動作説明に供する模式図である。

【図6】同じく動作説明に供する波形図である。

【図7】本発明にかかる表示装置の第2実施例を示す回路図である。

【図8】図7に示した表示装置の動作説明に供する模式

図である。

【図9】同じく動作説明に供する模式図である。

【図10】同じく動作説明に供する波形図である。

【図11】従来の表示装置の一例を示す回路図である。

【図12】図11に示した従来の表示装置の動作説明に供する模式図である。

【図13】同じく動作説明に供する波形図である。

【符号の説明】

100 ビデオライン

101 垂直走査回路

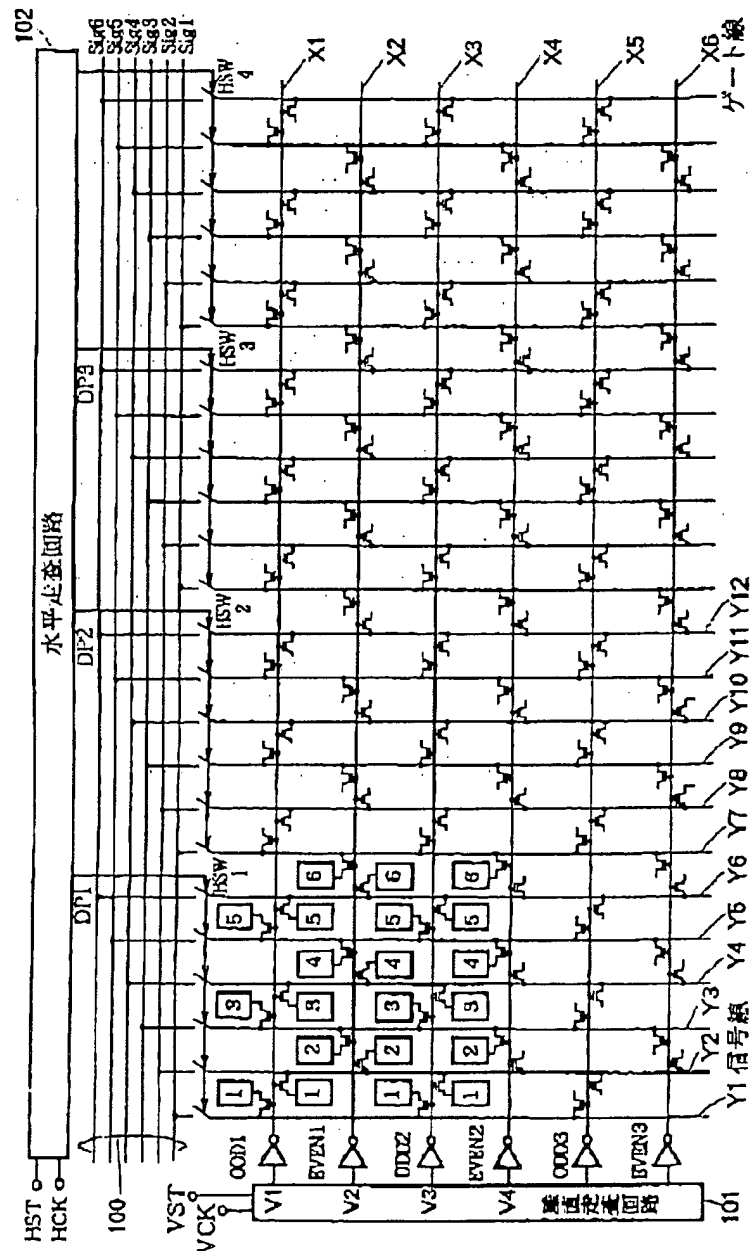
102 水平走査回路

201 デコーダ/ドライバ

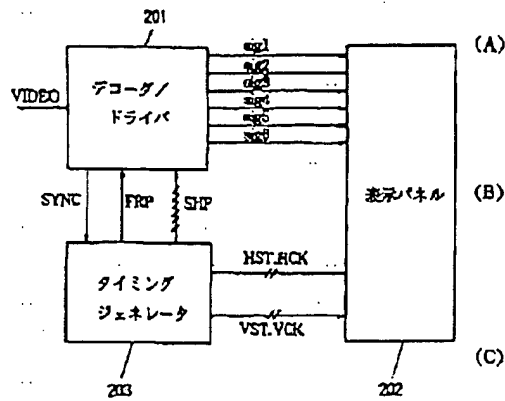
202 表示パネル

203 タイミングジェネレータ

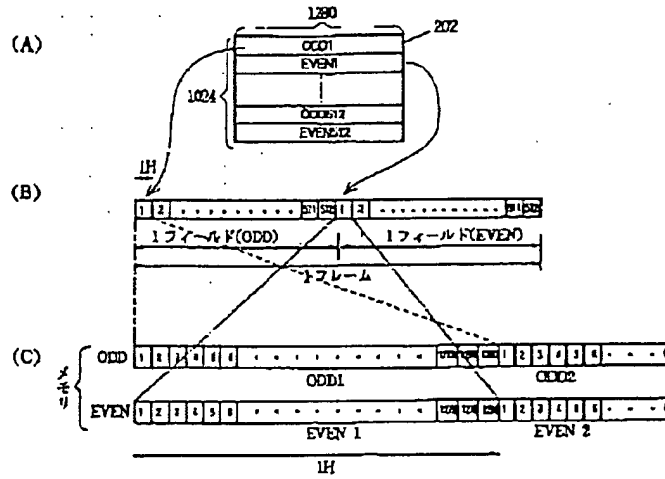
【図1】



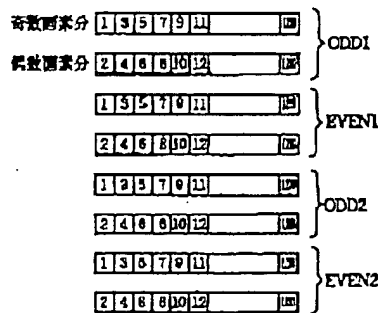
【図2】



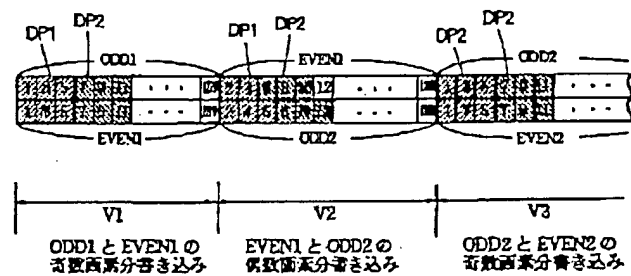
【図3】



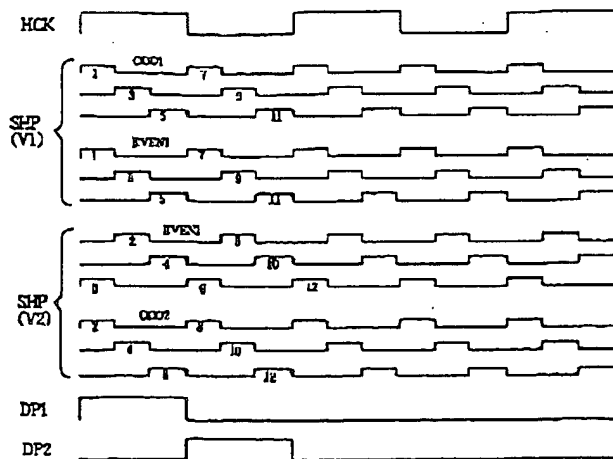
【図4】



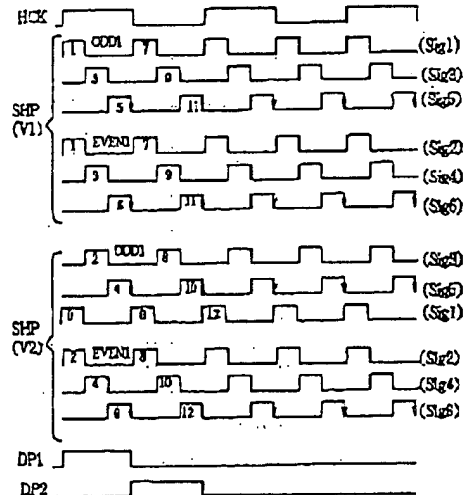
【図5】



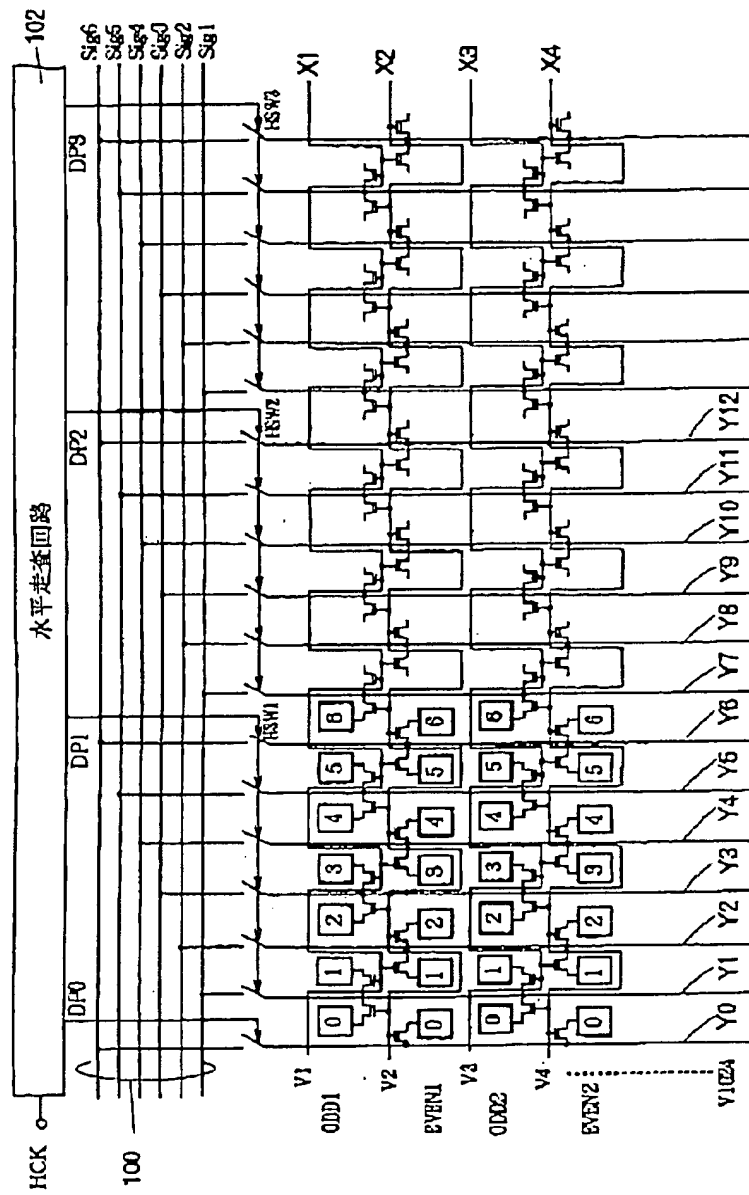
【図6】



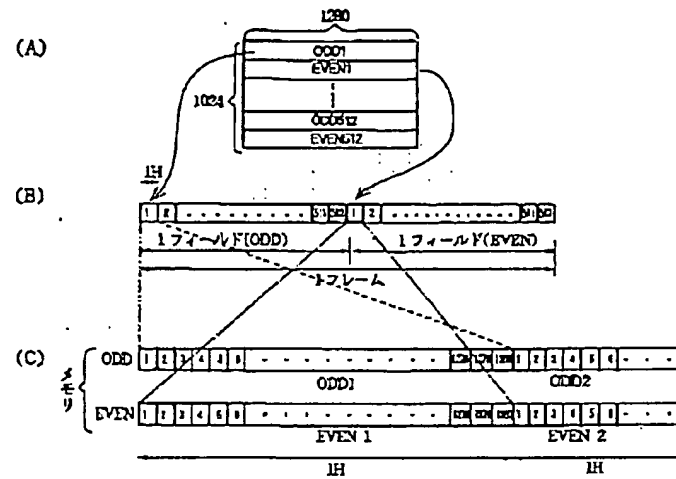
【図10】



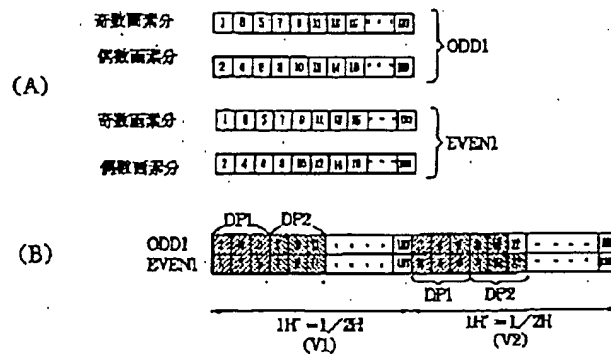
【図7】



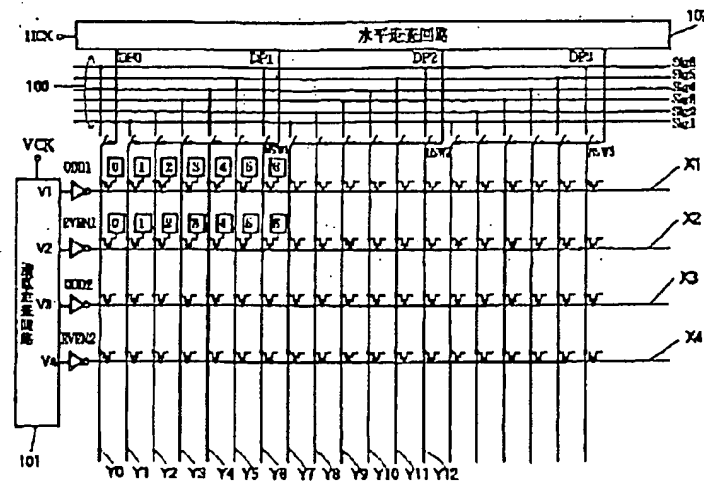
【図8】



【図9】



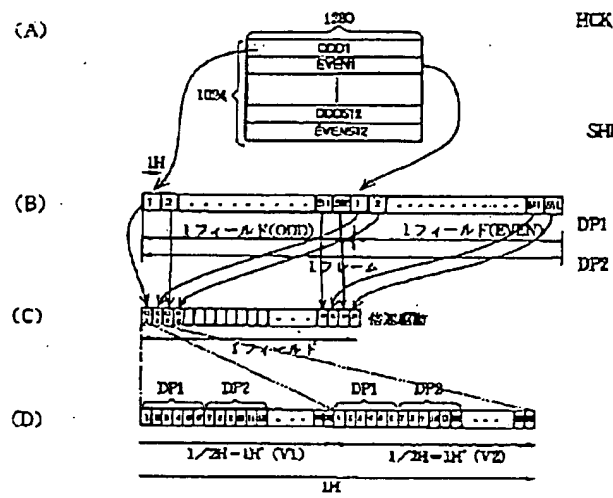
【図11】



(12)

特開平8-292417

【図12】



【図13】

